

DISPLAY DEVICE AND DRIVE METHOD THEREFOR

Publication number: JP2001356739

Publication date: 2001-12-26

Inventor: UCHINO KATSUhide; YAMASHITA JUNICHI; KAJIMA TAKEYASU

Applicant: SONY CORP

Classification:

- international: G02F1/133; G09F9/30; G09G3/20; G09G3/36; G02F1/13; G09F9/30; G09G3/20; G09G3/36; (IPC1-7); G09G3/36; G02F1/133; G09F9/30; G09G3/20

- European:

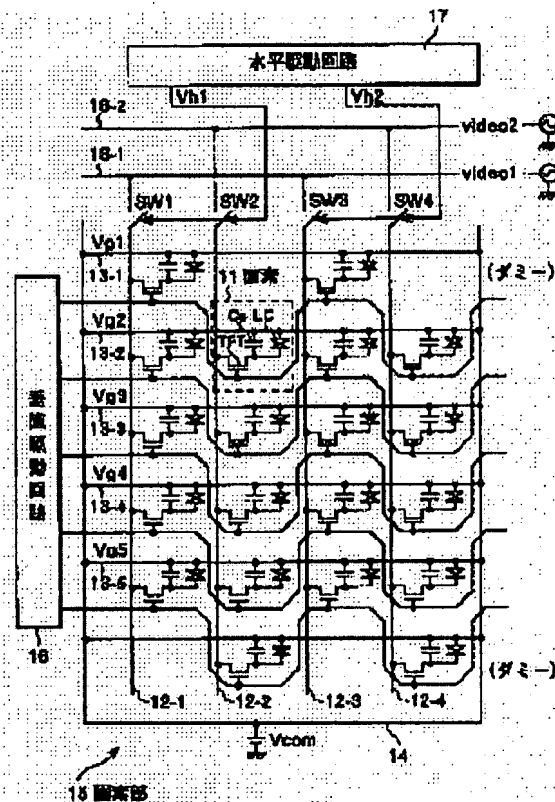
Application number: JP20000177926 20000614

Priority number(s): JP20000177926 20000614

Report a data error here

Abstract of JP2001356739

PROBLEM TO BE SOLVED: To provide a display device controlling occurrence of odd-even stripes caused by variation in a pixel potential at down-up scanning in a dot line inversion drive mode and to provide a drive method therefor. **SOLUTION:** This display device is provided with a pixel part 15 wherein pixels 11 are arranged in a matrix form, and pixel columns each are wired with signal lines 12-1-12-4, respectively, and gate lines 13-1-13-5, for example, are meanderingly connected between upper and lower two lines, respectively, a vertical drive circuit 16 for sequentially generating double scanning pulses Vg1-Vg5 consisting of the pulses at the timing of writing original video signals in each pixel of the pixel part 15 and those at the timing earlier than the former ones by 2H, and a horizontal drive circuit 17 for sequentially supplying video signals video 1, video 2 of the inverted polarity through the signal lines 12-1-12-4 to adjoining pixels of the rows to which the double scanning signals Vg1-Vg5 are given from the vertical drive circuit.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2001-356739

(P2001-356739A)

(43)公開日 平成13年12月26日(2001.12.26)

(51)IntCl. ⁷	識別記号	FI	テーマコード(参考)
G09G 3/36		G09G 3/36	2H093
G02F 1/133	550	G02F 1/133	550 5C006
G09F 9/30	338	G09F 9/30	338 5C080
G09G 3/20	611	G09G 3/20	611D 5C094
	621		621B

審査請求 未請求 請求項の数8 OL (全10頁) 最終頁に続く

(21)出願番号 特願2000-177926(P2000-177926)

(22)出願日 平成12年6月14日(2000.6.14)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100086298

弁理士 船橋 國則

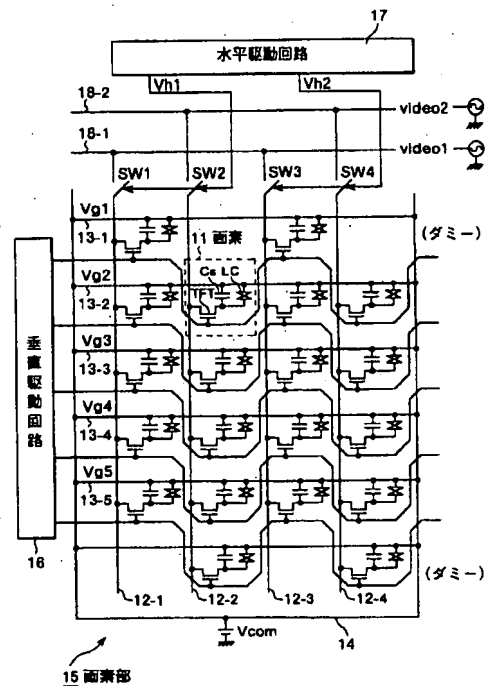
最終頁に続く

(54)【発明の名称】 表示装置およびその駆動方法

(57)【要約】

【課題】 ドットライン反転駆動方式におけるスキャン時には、odd列の画素とeven列の画素とで色の濃さが変わるため、この濃度差が表示画面上においてodd-evenスジとなる。

【解決手段】 画素11が行列状に配置され、各画素列ごとに信号ライン12-1~12-4が配線されるとともに、例えば上下2行の画素間でゲートライン13-1~13-5が蛇行配線されてなる画素部15と、この画素部15の各画素に対して本来の映像信号の書き込みタイミングでのパルスとそれよりも2H早いタイミングでのパルスとの2連の走査パルスVg1~Vg5を順次発生する垂直駆動回路16と、この垂直駆動回路16から2連の走査パルスVg1~Vg5が与えられる行の隣合う画素に対して信号ライン12-1~12-4を通して逆極性の映像信号video1, video2を順次供給する水平駆動回路17とを備える。



【特許請求の範囲】

【請求項1】 画素が行列状に配置され、各画素列ごとに信号ラインが配線されるとともに、隣り合う画素列間で奇数行離れた2行を単位としてゲートラインが配線されてなる画素部と、

前記画素部の各画素に対して本来の映像信号の書き込みタイミングでのパルスとそれよりも水平走査期間の偶数倍の時間だけ早いタイミングでのパルスとの2連の走査パルスを順次発生して前記ゲートラインに与える第1の駆動手段と、

前記第1の駆動走査手段から前記2連の走査パルスが与えられた前記ゲートラインに接続されて隣り合う画素に対して前記信号ラインを通して逆極性の映像信号を順次供給する第2の駆動手段とを備えたことを特徴とする表示装置。

【請求項2】 前記2連の走査パルスのパルス間隔が水平走査期間の略2倍であることを特徴とする請求項1記載の表示装置。

【請求項3】 前記第1の駆動手段は、垂直走査の基準となる第1のクロックパルスに対して周期が2倍の第2のクロックパルスを生成するクロック生成手段と、前記クロック生成手段で生成された前記第2のクロックパルスに同期してシフト動作を行うシフトレジスタと、前記シフトレジスタの各シフト段から順次出力されるシフトパルスと前記第1のクロックパルスに基づいて前記ゲートパルスを順次出力する論理ゲート手段とを有することを特徴とする請求項2記載の表示装置。

【請求項4】 前記画素の表示エレメントが液晶セルであることを特徴とする請求項1記載の表示装置。

【請求項5】 映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となりかつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行の画素に互いに逆極性の映像信号を書き込む表示装置の駆動方法であって、垂直走査の際に1つの画素に対してこの画素に本来書き込むべき映像信号と同極性の映像信号をあらかじめ書き込み、しかる後本来の映像信号を書き込むことを特徴とする表示装置の駆動方法。

【請求項6】 あらかじめ書き込む映像信号が本来書き込む映像信号の偶数ライン前の映像信号であることを特徴とする請求項5記載の表示装置の駆動方法。

【請求項7】 前記偶数ラインが2ラインであることを特徴とする請求項6記載の表示装置の駆動方法。

【請求項8】 前記画素の表示エレメントが液晶セルであることを特徴とする請求項5記載の表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、表示装置およびその駆動方法に関し、特にいわゆるドットライン反転駆動

方式のアクティブマトリクス型表示装置およびその駆動方法に関する。

【0002】

【従来の技術】 画素が行列状に配置されてなる表示装置、例えばアクティブマトリクス型液晶表示装置(LCD; liquid crystal display)において、その駆動方式として、各画素を1ライン(1行)ごとに画素単位で順次駆動する点順次駆動方式が知られている。また、この点順次駆動方式として、1H反転駆動方式やドット反転駆動方式がある。

【0003】 1H反転駆動方式では、映像信号を書き込む際に、各画素に所定の直流電圧を共通電圧 V_{com} として供給するライン(以下、Csラインと称す)に左右の画素間で抵抗分が存在し、さらにCsラインと信号ラインとの間に寄生容量が存在することから、これらに起因してCsラインやゲートラインに映像信号が飛び込み、Csラインの電位が映像信号と同極性の方向にゆれるため、横方向のクロストークが顕著になったり、あるいはシェーディング不良を引き起こし、画質が大きく損なわれる。

【0004】 また、画素が画素情報を1フィールド期間保持している間に、信号ラインの電位が1H(Hは水平走査期間)ごとにゆれる。ここで、1H反転駆動方式の場合は、隣り合う左右の画素に書き込まれる映像信号の極性が同じであることから、信号ラインの電位のゆれが大きくなり、この電位のゆれが画素トランジスタのソース/ドレインカップリングによって画素に飛び込むため、縦方向のクロストークが顕著になり、画質不良の要因となる。

【0005】 一方、ドット反転駆動方式では、隣り合う左右の画素に映像信号が同時に逆極性で書き込まれることから、Csラインやゲートラインの信号ラインの電位のゆれが隣り合う画素間でキャンセルされるため、1H反転駆動方式での画質不良の問題については解消できる。しかしながら、その反面、隣り合う左右の画素に書き込まれる映像信号の極性が異なることから、隣り合う画素の電界の影響を受けるため、画素の開口部の隅にドメイン(光抜け領域)が発生する。その結果、画素の開口率が低下し、透過率を落とすことになるため、コントラストの低下を招く。

【0006】

【発明が解決しようとする課題】 これに対して、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、隣り合う画素列間で奇数行離れた2行、例えば上下の2行の画素に互いに逆極性の映像信号を同時に書き込む駆動方式が提案されている。以下、この駆動方式をドットライン反転駆動方式と呼称する。

【0007】 このドットライン反転駆動方式では、ドット反転駆動方式の場合と同様に、隣り合う信号ラインに

は互いに逆極性の映像信号が与えられるとともに、映像信号を書き込んだ後の画素配列において、画素の極性が1H反転駆動方式の場合と同様に、隣り合う左右の画素で同極性となるため、画素の開口率を低下させることなく、横方向のクロストークやシェーディング等の画質不良を改善できることになる。

【0008】ところで、ドットライン反転駆動方式において、画面の上から下へ走査するいわゆるダウンスキャンでは、図7に示すように、ある1Hにてゲートライン101-1が共通な画素1-1, 2-2, 1-3, 2-4にH-L-H-L（ここで、Hは基準電位よりも高い電位の映像信号を、Lは基準電位よりも低い電位の映像信号を表している）と書き込んだ後、次の1Hにおいて画素2-1, 3-2, 2-3, 3-4にL-H-L-Hと書き込むことになる。

【0009】このとき、例えば画素2-1, 2-3の画素電位は、1フィールド期間保持していた前の画素電位であるHからLへ変化する。この画素電位の変化により、隣り合う画素の透明導電膜ITO(Indium Tin Oxide)を介して画素2-2, 2-4に対してカップリングが入る。このカップリングはマイナスのカップリングであり、このマイナスのカップリングによってLを保持している画素2-2, 2-4の電位は低くなる。これにより、画素に共通に与えられるコモン電圧 V_{com} との電位差が広がるため画素2-2, 2-4が黒く（濃度が濃く）なる。

【0010】同様に、次の1Hには画素3-1, 3-3の画素電位が1フィールド期間保持していた前の画素電位であるLからHへ変化する。このため、隣り合う画素3-2, 3-4へはプラスのカップリングが入る。これにより、Hを保持している画素3-2, 3-4の画素電位が高くなり、コモン電圧 V_{com} との電位差が広がるため画素3-2, 3-4が黒くなる。

【0011】すなわち、ドットライン反転駆動方式におけるダウンスキャン時には、odd（奇数）列の画素とeven（偶数）列の画素とで色の濃さが変わってしまい、その結果、この濃度差が表示画面上において縦スジ（以下、これをodd-evenスジと称す）として見えてしまうことになる。

【0012】同様に考えると、画面の下から上へ走査するいわゆるアップスキャンでは、図8に示すように、ダウンスキャンとは逆にeven列の画素からodd列の画素に対してカップリングが入り、odd列の画素がeven列の画素に比べて黒くなる。このように、ドットライン反転駆動方式では、スキャン時にodd-evenスジが発生し、しかもそのスキャン方向によってodd列とeven列とで色の濃度が反転してしまう。

【0013】本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、ドットライン反転駆動方式において、ダウン/アップスキャン時における画

素電位の変化に起因するodd-evenスジの発生を抑えた表示装置およびその駆動方法を提供することにある。

【0014】

【課題を解決するための手段】本発明による表示装置は、画素が行列状に配置され、各画素列ごとに信号ラインが配線されるとともに、隣り合う画素列間で奇数行離れた2行を単位としてゲートラインが配線されてなる画素部と、この画素部の各画素に対して本来の映像信号の書き込みタイミングでのパルスとそれよりも水平走査期間の偶数倍の時間だけ早いタイミングでのパルスとの2連の走査パルスを順次発生してゲートラインに与える第1の駆動手段と、この第1の駆動手段から2連の走査パルスが与えられたゲートラインに接続されて隣り合う画素に対して信号ラインを通して逆極性の映像信号を順次供給する第2の駆動手段とを備えた構成となっている。

【0015】上記構成の表示装置において、垂直走査時に、第1の駆動手段から2連の走査パルスが順次出力され、画素部のゲートラインに順に与えられることで、あるラインの1つの画素に対して先ず1つ目のパルスのタイミングでこの画素に本来書き込むべき映像信号と同極性の映像信号が、第2の駆動手段から信号ラインを通して書き込まれる。その後、2つのパルスのタイミングで本来の映像信号が、第2の駆動手段から信号ラインを通して書き込まれる。このとき、その画素には同極性の映像信号があらかじめ書き込まれているので、当該画素における画素電位の変化が抑えられる。

【0016】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0017】図1は、本発明に係るドットライン反転駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。ここでは、図面の簡略化のために、6行4列の画素配列の場合を例に採って示している。なお、1行目と6行目については、画素を1列おきに配置し、また映像信号を書き込まず、特定の色信号、例えば黒信号を書き込むダミーの画素配列となっている。

【0018】図1において、6行×4列分の画素11が行列状に配置されている。ただし、1行目については奇数列の画素のみが、6行目については偶数列の画素のみがダミー画素としてそれぞれ配置されている。画素11の各々は、画素トランジスタである薄膜トランジスタTFTと、この薄膜トランジスタTFTのドレイン電極に画素電極が接続された液晶セルLCと、薄膜トランジスタTFTのドレイン電極に一方の電極が接続された保持容量Csとから構成されている。

【0019】これら画素11の各々に対して、信号ライン12-1～12-4が各列ごとにその画素配列方向に沿って配線されている。一方、ゲートライン13-1～13-5

は、各行ごとにその画素配列方向に沿ってではなく、奇数行離れた2ライン、例えば上下2ライン（上下2行）を単位としてその2行の画素間で蛇行して配線されている。

【0020】具体的には、ゲートライン13-1は、1行1列目、2行2列目、1行3列目、2行4列目の各画素に対して配線されている。ゲートライン13-2は、2行1列目、3行2列目、2行3列目、3行4列目の各画素に対して配線されている。ゲートライン13-3、13-4、13-5についても同様にして、上下2ラインの画素間で蛇行して配線されている。

【0021】画素11の各々において、薄膜トランジスタTFTのソース電極（または、ドレイン電極）は、対応する信号ライン12-1～12-4に各々接続されている。また、液晶セルLCの対向電極および保持容量Csの他方の電極は、各画素間で共通にCsライン14に接続されている。このCsライン14には、所定の直流電圧がコモン電圧Vcomとして与えられる。

【0022】また、ゲートライン13-1～13-5に対する接続関係は次のようになっている。すなわち、奇数列（1列、3列）については、各行（1行目～5行目）ごとに対応する行のゲートライン13-1～13-5に各画素の薄膜トランジスタTFTのゲート電極が接続され、偶数列（2列目、4列目）については、各行（2行目～6行目）ごとに1行上の行のゲートライン13-1～13-5に各画素の薄膜トランジスタTFTのゲート電極が接続されている。

【0023】以上により、画素11が行列状に配置され、これら画素11に対して信号ライン12-1～12-4が各列ごとに配線されかつゲートライン13-1～13-5が隣り合う画素列間で奇数行離れた2行、例えば上下2行を単位としてこれら2行の画素間で蛇行して配線されてなる画素部15が構成されている。この画素部15において、ゲートライン13-1～13-5の各一端は、画素部15の例えば左側に配置された垂直駆動回路16の各行の出力端に接続されている。

【0024】垂直駆動回路16は、1フィールド期間ごとに垂直方向（行方向）に走査してゲートライン13-1～13-5に上下2行間で交互に接続された各画素11を順次選択する処理を行う。すなわち、垂直駆動回路16からゲートライン13-1に対して走査パルスVg1が与えられたときは、1行1列目、2行2列目、1行3列目、2行4列目の各画素が選択される。

【0025】ゲートライン13-2に対して走査パルスVg2が与えられたときは、2行1列目、3行2列目、2行3列目、3行4列目の各画素が選択される。以下同様にして、ゲートライン13-3、13-4、13-5に対して走査パルスVg3、Vg4、Vg5が順に与えられるときにも、上下2行間で水平方向（列方向）において交互に画素の選択が行われる。垂直駆動回路16の具体的な

構成については、後で詳細に説明する。

【0026】画素部15の例えば上側には、水平駆動回路17が配置されている。この水平駆動回路17は、例えば2系統で入力される映像信号video1, 2を1Hごとに順次サンプリングし、垂直駆動回路16によって選択された各画素11に対して書き込む処理を行う。2系統の映像信号video1, 2としては、1Hごとに極性が反転しかつある基準電位（コモン電圧Vcom）に対して互いに逆極性の映像信号が入力される。ここでは、コモン電圧Vcomに対して映像信号の電位が高い場合を正極性（H）、低い場合を負極性（L）とする。

【0027】映像信号video1を入力するビデオライン18-1と画素部15の例えば奇数列の信号ライン12-1、12-3の各々との間には、サンプリングスイッチSW1、SW3がそれぞれ接続されている。また、映像信号video2を入力するビデオライン18-2と画素部15の偶数列の信号ライン12-2、12-4との間には、サンプリングスイッチSW2、SW4がそれぞれ接続されている。

【0028】そして、サンプリングスイッチSW1～SW4は、2個ずつ対（SW1とSW2、SW3とSW4）となっており、水平駆動回路17から順に出力されるサンプリングパルスVh1、Vh2にตอบสนองして順次オン動作を行うことにより、互いに逆極性の2系統の映像信号video1, 2を、2列（2画素）単位で信号ライン12-1～12-4を通して書き込むようになっている。

【0029】次に、上記構成のドットライン反転駆動方式のアクティブマトリクス型液晶表示装置において、その基本的な動作について図2のタイミングチャートを参照して説明する。なお、6行×4列の画素配列において、各画素のアドレスを図3に示すように付すものとする。ここで、dはダミーの画素を表している。

【0030】先ず最初の1ライン目において、垂直駆動回路16から走査パルスVg1が出力されると、この走査パルスVg1がゲートライン13-1を通して画素d-1、1-2、d-3、1-4の各薄膜トランジスタTFTのゲート電極に印加されるため、これら画素d-1、1-2、d-3、1-4がオン状態となる。

【0031】ここで、互いに逆極性の映像信号video1, 2がビデオライン18-1、18-2を通して入力される一方、水平駆動回路17から順にサンプリングパルスVh1、Vh2が出力されることで、サンプリングスイッチSW1とSW2、SW3とSW4が対で順次オン状態となる。

【0032】すると、互いに逆極性の映像信号video1, 2が、先ず、サンプリングスイッチSW1、SW2を通して信号ライン12-1、12-2に与えられる。これにより、画素d-1には負極性（図3中、Lと記す）

の映像信号 $video1$ が、画素1-2には正極性（図3中、Hと記す）の映像信号 $video2$ がそれぞれ書き込まれることになる。ただし、このときの映像信号 $video1$ としては黒信号を入力し、ダミー画素 $d-1$ には黒信号を書き込むものとする。

【0033】続いて、サンプリングスイッチ $SW3$ 、 $SW4$ を通して信号ライン12-3、12-4に映像信号 $video1$ 、2が与えられる。これにより、画素 $d-3$ には負極性の映像信号 $video1$ が、画素1-4には正極性の映像信号 $video2$ がそれぞれ書き込まれることになる。このときにも、映像信号 $video1$ として黒信号が入力されることで、ダミー画素 $d-3$ には黒信号が書き込まれることになる。

【0034】次に、2ライン目において、垂直駆動回路16から走査パルス $Vg2$ が出力されると、この走査パルス $Vg2$ がゲートライン13-2を通して画素1-1、2-2、1-3、2-4の各薄膜トランジスタTFTのゲート電極に印加され、これら画素1-1、2-2、1-3、2-4がオン状態となる。2ライン目では、映像信号 $video1$ 、2の基準電位に対する極性が反転する。

【0035】すなわち、1ライン目では映像信号 $video1$ が負極性、映像信号 $video2$ が正極性であったのが、2ライン目では映像信号 $video1$ が正極性、映像信号 $video2$ が負極性となる。そして、水平駆動回路17から再び順にサンプリングパルス $Vh1$ 、 $Vh2$ が出力されることで、サンプリングスイッチ $SW1$ と $SW2$ 、 $SW3$ と $SW4$ が対で順次オン状態となる。

【0036】すると、互いに逆極性の映像信号 $video1$ 、2が、まず、サンプリングスイッチ $SW1$ 、 $SW2$ を通して信号ライン12-1、12-2に与えられる。これにより、画素1-1には正極性の映像信号 $video1$ が、画素2-2には負極性の映像信号 $video2$ がそれぞれ書き込まれることになる。続いて、サンプリングスイッチ $SW3$ 、 $SW4$ を通して信号ライン12-3、12-4に映像信号 $video1$ 、2が与えられる。これにより、画素1-3には正極性の映像信号 $video1$ が、画素2-4には負極性の映像信号 $video2$ がそれぞれ書き込まれることになる。

【0037】以降、互いに逆極性の映像信号 $video1$ 、2が1Hごとに基準電位に対する極性が反転して入力される一方、上述した動作が繰り返されることにより、垂直駆動回路16による行方向（垂直方向）の走査および水平駆動回路17による列方向（水平方向）の走査が行われる。なお、ゲートライン13-5に対する走査の場合においては、映像信号 $video2$ として黒信号を入力し、ダミー画素 $d-2$ 、 $d-4$ に対して黒信号を書き込むものとする。

【0038】上述したように、例えば2系統の映像信号

$video1$ 、2をある基準電位に対して逆極性で入力する一方、この逆極性の映像信号 $video1$ 、2を、隣り合う画素列間で奇数行離れた2行（本例では、上下2行）の画素に同時に書き込むとともに、書き込んだ後の画素配列において画素の極性を、図3に示すように隣り合う左右の画素では同極性とし、上下の画素では逆極性となるドットライン反転駆動を行うことにより、以下に記すような作用効果が得られる。

【0039】すなわち、図2のタイミングチャートから明らかなように、サンプリングパルス $Vh1$ 、 $Vh2$ が順に出力され、サンプリングスイッチ $SW1$ と $SW2$ 、 $SW3$ と $SW4$ が対で順次オン状態になると、信号ライン12-1と12-2、12-3と12-4には、ある基準電位に対して互いに逆極性の映像信号 $video1$ 、2が与えられるため、横方向のクロストークやシェーディング、さらには縦方向のクロストーク等の画質不良を改善できる。

【0040】すなわち、 Cs ライン14に画素間で抵抗分が存在することに起因して、映像信号 $video1$ 、2が信号ライン12-1～12-4と Cs ライン14との間に存在する寄生容量や画素11の保持容量 Cs 等を介して Cs ライン14へ飛び込むのを、隣り合う信号ラインに互いに逆極性の映像信号 $video1$ 、2を与えることによってキャンセルできるため、 Cs ライン14の電位のゆれは生じなく、したがって横方向のクロストークの発生を抑えたり、シェーディング不良を解消できるのである。

【0041】また、薄膜トランジスタTFTのソース／ドレイン電極と信号ライン12-1～12-4の各々との間に存在する寄生容量に起因して、信号ライン12-1～12-4における1Hごとの電位のゆれが薄膜トランジスタTFTのソース／ドレインカップリングによって画素に飛び込むのを、隣り合う信号ラインに互いに逆極性の映像信号 $video1$ 、2を与えることによってキャンセルできるため、縦方向のクロストークの発生を抑えることができる。これにより、映像信号 $video1$ 、2を十分なレベルで書き込むことができるため、コントラストを向上できることになる。

【0042】さらに、互いに逆極性の映像信号 $video1$ 、2の画素への書き込みを、ドット反転駆動方式の場合のように水平1ラインで行うのではなく、異なる2ライン（本例では、上下2ライン）間において1画素おき（1列おき）に行うことにより、映像信号の書き込み後の画素配列において、各画素の極性は、図3から明らかなように、隣り合う左右の画素で同極性となるため、ドット反転駆動方式の場合に問題となるドメインは発生しない。これにより、画素の開口率が低下させてなくて済むため、コントラストが低下することもない。

【0043】なお、ここでは、映像信号として2系統の映像信号 $video1$ 、2を入力するとしたが、映像信

号の入力数は2系統に限られるものではなく、2m (mは整数) 系統であれば良い。さらに、逆極性の映像信号video1, 2を上下2行の画素に同時に書き込む構成としたが、必ずしも上下2行である必要はなく、要は、映像信号を書き込んだ後の画素配列において、画素の極性が隣り合う左右の画素で同極性となり、かつ上下の画素で逆極性となるように、異なる水平ラインの画素に同時に書き込める構成であれば良い。

【0044】また、上記の例では、アナログ映像信号を入力とし、これをサンプリングして点順次にて各画素を駆動するアナログインターフェース駆動回路を搭載した液晶表示装置に適用した場合について説明したが、デジタル映像信号を入力とし、これをラッチした後アナログ映像信号に変換し、このアナログ映像信号をサンプリングして点順次にて各画素を駆動するデジタルインターフェース駆動回路を搭載した液晶表示装置にも、同様に適用可能である。

【0045】以上説明したドットライン反転駆動方式のアクティブマトリクス型液晶表示装置において、本発明では、垂直駆動回路16の具体的な構成およびその駆動方法の特徴としている。

【0046】図4は、垂直駆動回路16の具体的な構成の一例を示すブロック図である。図4において、本例に係る垂直駆動回路16は、シフトレジスタ21、分周器22および論理ゲート回路23を有する構成となっている。この垂直駆動回路16には、図5に示す垂直スタートパルスVST、互いに逆相の垂直クロックVCK、VCKXがおよびイネーブルパルスENBがパルス発生回路(図示せず)から供給される。

【0047】垂直スタートパルスVSTは、垂直方向の走査の開始を指令する信号であり、分周器22でその周波数が例えば1/2に分周され、図5に示すように、周期が2倍の垂直スタートパルス2VSTとしてシフトレジスタ21に入力される。垂直クロックVCK、VCKXは、垂直走査の基準となる第1のクロックパルスであり、分周器22でその周波数が例えば1/2に分周され、図5に示すように、周期が2倍の垂直走査クロック2VCK、2VCKXとしてシフトレジスタ21に与えられる。

【0048】なお、ここでは、第2のクロックパルスである垂直走査クロック2VCK、2VCKXを生成するクロック生成手段として1/2分周器22を用いたが、これは一例に過ぎず、これに限定されるものではない。

【0049】シフトレジスタ21は、垂直スタートパルス2VSTが与えられると、この垂直スタートパルス2VSTを互いに逆相の垂直走査クロック2VCK、2VCKXに同期して順にシフト(転送)し、各シフト段(S/R)からシフトパルスSP1、SP2、……として順次出力する。これらシフトパルスSP1、SP2、……は、論理ゲート回路23に供給される。

【0050】論理ゲート回路23は、入力段に2個ずつ配されたNANDゲート231-1、231-2およびインバータ232-1、232-2と、画素部15(図1参照)のゲートライン(本例では、13-1~13-5)に対応して設けられたNANDゲート233-1、233-2、233-3、……およびインバータ234-1、234-2、234-3、……を有する構成となっている。

【0051】この論理ゲート回路23において、NANDゲート231-1は、シフトレジスタ21の1段目のシフト段から出力されるシフトパルスSP1とイネーブルパルスENBとを2入力としている。このNANDゲート231-1の出力は、インバータ232-1で反転されてNANDゲート233-1、233-2の各一方の入力となる。

【0052】NANDゲート231-2は、シフトレジスタ21の1段目のシフト段から出力されるシフトパルスSP1とイネーブルパルスENBとを2入力としている。このNANDゲート231-2の出力は、インバータ232-2で反転されてNANDゲート233-3、233-4の各一方の入力となる。

【0053】そして、NANDゲート233-1の他方の入力として垂直クロックVCKが、NANDゲート233-2の他方の入力として垂直クロックVCKXが、NANDゲート233-3の他方の入力として垂直クロックVCKが、NANDゲート233-4の他方の入力として垂直クロックVCKXがそれぞれ与えられる。NANDゲート233-1、233-2、233-3、……の各出力パルスは、インバータ234-1、234-2、234-3、……で反転されて走査パルスVg1、Vg2、Vg3、……となって画素部15のゲートライン13-1、13-2、13-3、……の各々に与えられる。

【0054】上記構成の垂直駆動回路16においては、垂直クロックVCK、VCKXの例えば2倍の周期の垂直走査クロック2VCK、2VCKXに基づいてシフトパルスSP1、SP2、……を順次生成し、これらシフトパルスSP1、SP2、……と垂直クロックVCK/VCKXとの論理積をとることによって走査パルスVg1、Vg2、Vg3、……を生成することにより、図5のタイミングチャートから明らかなように、走査パルスVg1、Vg2、Vg3、……として2連のパルスが得られる。

【0055】なお、本例に係る論理ゲート回路23では、シフトパルスSP1、SP2、……に対してイネーブル信号ENBとのNANDをとる回路構成としたが、この回路構成に限られるものではない。例えば、シフトパルスSP1、SP2、……と垂直走査パルスVCK、VCKXとのNANDとり、その後イネーブル信号ENBとのNANDをとる回路構成であっても良い。

【0056】ただし、イネーブル信号ENBを伝送するラインの負荷を考えた場合、シフトパルスSP1、SP

2, ……と垂直走査パルスVCK, VCKXとのNANDとり、その後イネーブル信号ENBとのNANDをとる回路構成では、4個のNANDゲートの各入力部であるのに対して、本例の回路構成では、2個のNANDゲート231-1, 231-2の各入力部であり、負荷が半分で済む利点がある。

【0057】先述した垂直走査時において、垂直駆動回路16の論理ゲート回路23から2連の走査パルスVg1, Vg2, Vg3, ……が順に出力され、画素部15のゲートライン13-1, 13-2, 13-3, ……の各々に与えられることにより、この画素11の電位が図6に示すように変化する。図6には、n段目のある画素の画素電位の変化を示している。

【0058】n段目のある画素に対して、2連の走査パルスVgnが印加されることで、1つ目の走査パルスVgnAの発生タイミングt1で画素の薄膜トランジスタTFTがオン状態となることで、当該画素には前々段(n-2段目)の画素に書き込まれる映像信号があらかじめ書き込まれる。このときの映像信号の極性を例えば正極性Hとする。

【0059】その後、2つ目の走査パルスVgnBの発生タイミングt2で画素の薄膜トランジスタTFTがオン状態となる。すると、その画素列のサンプリングスイッチSWがオンするまでに、前段(n-1段目)の画素に書き込まれる映像信号が書き込まれる。このときの映像信号の極性は負極性Lとなる。その後、従来の単発走査パルスの場合と同じ書き込みタイミングt3でサンプリングスイッチSWがオンすることで、自段(n段目)の正極性Hの映像信号が書き込まれる。

【0060】これにより、画素電位の変化を示す図6から明らかなように、n段目のある画素の画素電位はH→L→Hと変化するが、あらかじめ書き込まれた映像信号レベルと今回書き込まれた映像信号レベルとの間には、両映像信号間の時間差が僅か2H相当であり、その短い期間にはレベル変化(レベル差)がないものと見なすと、H→Lへの画素電位の変化とL→Hへの画素電位の変化とが互いにキャンセルされる。したがって、画素電位の変化に起因する透明導電膜ITOを介しての隣り合う左右の画素へのカップリングは起きない。

【0061】上述したように、ドットライン反転駆動方式のアクティブマトリクス型液晶表示装置において、垂直走査の際に本来の映像信号を書き込むのに先立って別のライン、例えば2ライン(2H)前に書き込むべき同極性の映像信号をあらかじめ書き込んでおき、その後本来の映像信号を書き込むようにすることで、本来の映像信号を書き込むときのレベル差は僅かであるため、画素電位の変化を抑えることができる。

【0062】これにより、この画素電位の変化に起因する隣り合う画素へのカップリングをなくすることができるため、このカップリングが原因となって奇数列の画素と

偶数列の画素との間で色の濃さが変わり、この濃度差によって表示画面上に現れていたodd-evenスジの発生をほぼ抑制することができる。

【0063】なお、上記実施形態においては、本来の映像信号を書き込むのに先立って2H前の映像信号を書き込むとしたが、2H前の映像信号に限られるものではなく、同極性の映像信号である偶数ライン前の映像信号であれば良い。ただし、本来の映像信号を書き込む際の画素電位の変化を小さく、できれば限りなく0にするには、映像信号レベルの変化が少ない直前の映像信号、好ましくは最短で2H前の映像信号を書き込むようにするのが良く、また2H前の映像信号はゴーストの発生を抑える上でも有効である。

【0064】また、垂直駆動回路16の回路例としては、図4に示した回路例は2H前の映像信号を書き込むのを前提として構成された一例に過ぎないことから、この回路例に限定されるものではなく、種々の改変が可能である。なお、2H前の映像信号を書き込むのを前提とした回路例の場合には、図4から明らかなように、1つのシフトパルスSPに基づいて2ライン分の走査パルスVgを生成できることから、1つのシフトパルスSPで1ライン分の走査パルスVgを生成していた従来回路に比べてシフトレジスタ21のシフト段(S/R)を半減できるため、垂直駆動回路16の回路規模を大幅に縮小できる利点がある。

【0065】さらに、上記実施形態では、画素の表示エレメントとして液晶セルを用いた液晶表示装置に適用した場合を例に採って説明したが、液晶表示装置への適用に限られるものではなく、ドットライン反転駆動方式を採用した表示装置全般に適用可能である。

【0066】

【発明の効果】以上説明したように、本発明によれば、ドットライン反転駆動方式の表示装置において、垂直走査の際に1つの画素に対してこの画素に本来書き込むべき映像信号と同極性の映像信号をあらかじめ書き込み、しかる後本来の映像信号を書き込むようにしたことにより、本来の映像信号を書き込むときの画素電位の変化を抑えることができるため、odd-evenスジの発生をほぼ抑制することができることになる。

【図面の簡単な説明】

【図1】本発明に係るドットライン反転駆動方式のアクティブマトリクス型液晶表示装置の構成例を示す回路図である。

【図2】ドットライン反転駆動の基本的な動作説明のタイミングチャートである。

【図3】ドットライン反転駆動の場合の各画素のアドレスと各画素に書き込まれる映像信号の極性を示す図である。

【図4】本発明に係る垂直駆動回路の具体的な構成の一例を示すブロック図である。

【図5】本発明に係る垂直駆動回路の回路動作を説明するためのタイミングチャートである。

【図6】映像信号を書き込むときの画素電位の変化を示す波形図である。

【図7】ダウンスキャン時の従来の問題点を説明する図である。

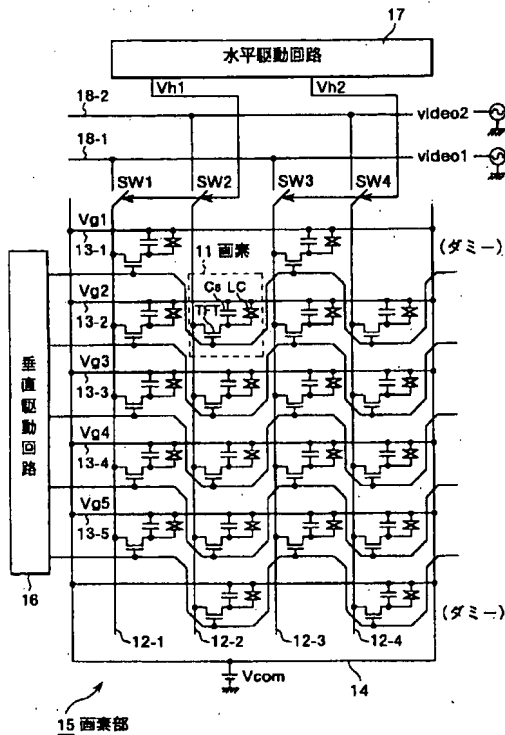
【図8】アップスキャン時の従来の問題点を説明する図

である。

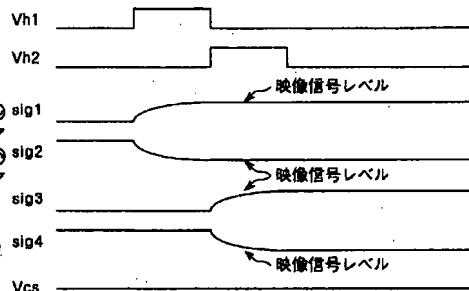
【符号の説明】

11…画素、12-1～12-4…信号ライン、13-1～13-5…ゲートライン、15…画素部、16…垂直駆動回路、17…水平駆動回路、21…シフトレジスタ、22…1/2分周器、23…論理ゲート回路

【図1】



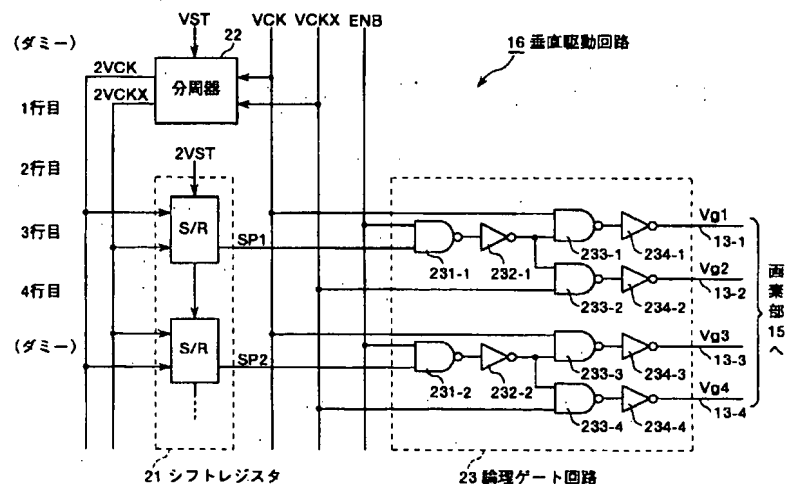
【図2】



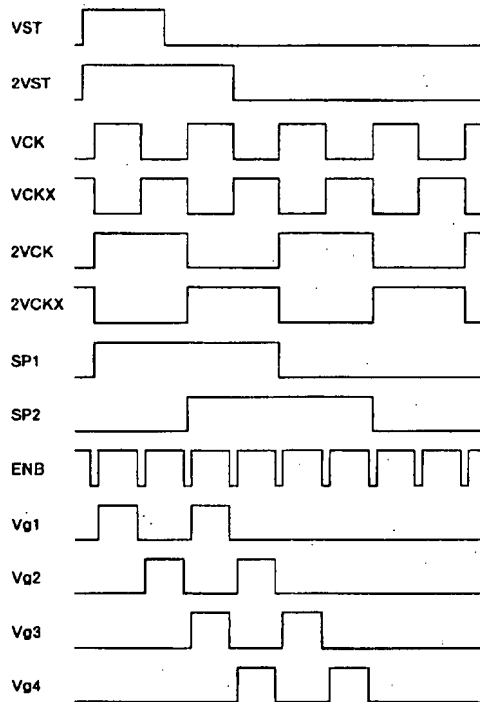
【図3】

(d-1) L		(d-3) L	
(1-1) H	(1-2) H	(1-3) H	(1-4) H
(2-1) L	(2-2) L	(2-3) L	(2-4) L
(3-1) H	(3-2) H	(3-3) H	(3-4) H
(4-1) L	(4-2) L	(4-3) L	(4-4) L
	(d-2) H		(d-4) H

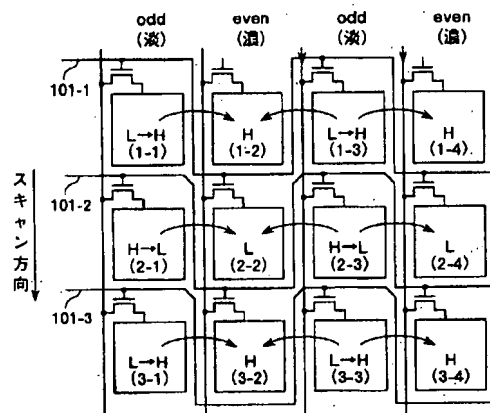
【図4】



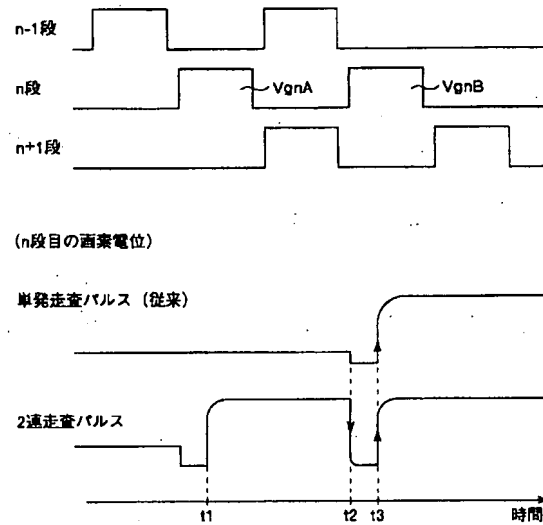
【図5】



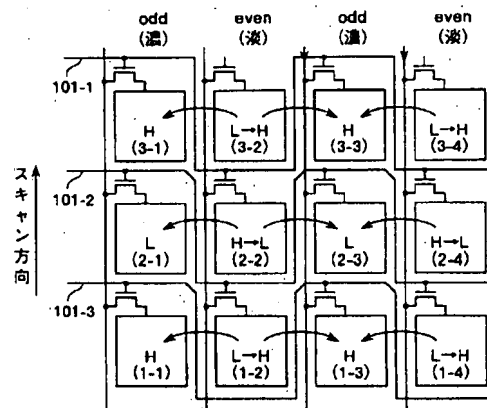
【図7】



【図6】



【図8】



フロントページの続き

(51) Int. Cl.⁷

G 0 9 G 3/20

識別記号

6 2 3

6 8 0

F I

G 0 9 G 3/20

テマコード(参考)

6 2 3 W

6 8 0 H

(72) 発明者 鹿島 丈泰

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

F ターム(参考) 2H093 NA16 NA32 NA34 NA43 NC10
NC12 NC34 NC35 ND04 ND10
ND15
5C006 AA11 AC11 AC24 AC27 AF42
AF43 BB16 BC11 BC23 FA36
5C080 AA10 BB06 DD10 EE29 FF11
JJ02 JJ03 JJ04
5C094 AA03 AA09 AA53 BA03 BA43
CA19 CA20 DA13 DB01 DB04
EA04 EA07 EB02 FA01 GA10
JA20